

Berichte aus der Informatik

**Daniel Große,
Rolf Drechsler (Hrsg.)**

**Methoden und Beschreibungssprachen
zur Modellierung und Verifikation
von Schaltungen und Systemen**

Shaker Verlag
Aachen 2017

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

Copyright Shaker Verlag 2017

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe, der Speicherung in Datenverarbeitungsanlagen und der Übersetzung, vorbehalten.

Printed in Germany.

ISBN 978-3-8440-4996-1

ISSN 0945-0807

Shaker Verlag GmbH • Postfach 101818 • 52018 Aachen

Telefon: 02407 / 95 96 - 0 • Telefax: 02407 / 95 96 - 9

Internet: www.shaker.de • E-Mail: info@shaker.de

Vorwort

In diesem Jahr wird der Workshop „Methoden und Beschreibungssprachen zur Modellierung und Verifikation von Schaltungen und Systemen“ (MBMV) zum 20. Mal veranstaltet. Getragen durch die Gesellschaft für Informatik (GI), die Informationstechnische Gesellschaft im VDE (ITG) und die VDE/VDI-Gesellschaft für Mikroelektronik, Mikrosystem- und Feinwerktechnik (GMM), findet der MBMV dieses Jahr vom 8. bis 9. Februar 2017 im Haus der Wissenschaft in Bremen statt.

Das Ziel des Workshops ist es, neue Trends, Ergebnisse und aktuelle Fragen auf dem Gebiet der Modellierung und Verifikation sowie der Beschreibungssprachen für digitale, analoge und Mixed-Signal-Systeme zu diskutieren. Insbesondere wird der Kontakt zwischen Universitäten, Forschungseinrichtungen und Industrie gefördert und ein gegenseitiger Gedankenaustausch angeregt. Dieses Ziel soll mit Beiträgen aus den folgenden Themenschwerpunkten erreicht werden:

- Formale und semi-formale Spezifikation und Modellierung
- Standards und Erweiterungen von Hardware-Beschreibungssprachen
- Entwurfsmethodik
- Entwurfs wiederverwendung (Reuse, IP)
- Syntheseverfahren (Behavioral, RTL)
- Co-Design (analog/digital, Hardware/Software)
- Formale Synthese
- Formale Verifikation (Äquivalenz- und Eigenschaftsbeweis)
- Schaltungen und Systeme in sicherheitsrelevanten Produkten (Zertifizierung)
- Verifikation nicht-funktionaler Eigenschaften
- Simulationsbasierte Validierung

Wie im vergangenen Jahr enthält der Tagungsband zwei Arten von Beiträgen: zum einen reguläre, bisher unveröffentlichte Papiere und zum anderen Zusammenfassungen von bereits auf Konferenzen veröffentlichten Beiträgen. Beide werden im Rahmen von Vorträgen auf dem Workshop präsentiert.

Aus einer Vielzahl von eingereichten Beiträgen konnte ein sehr interessantes Programm zusammengestellt werden, das aus 18 Vorträgen besteht. Das Programm wird durch eingeladene Vorträge aus der Industrie und Wissenschaft abgerundet, die gemäß den Erfahrungen früherer Workshops für viele Anregungen und Diskussionsstoff sorgen. Unser besonderer Dank gilt hier Dr. Raik Brinkmann, CEO OneSpin Solutions GmbH.

An dieser Stelle möchten wir den Autoren für die Einreichung und fristgerechte Überarbeitung der Beiträge danken. Unser besonderer Dank gilt den Mitgliedern des Programmkomitees für die sorgfältige Begutachtung und konstruktive Kritik. Darüber hinaus danken wir der DFKI GmbH und der Universität Bremen. Schließlich möchten wir uns ganz herzlich bei Kristiane Schmitt und Lisa Jungmann für die Hilfe bei der Organisation des Workshops bedanken.

Bremen, im Februar 2017

Daniel Große und Rolf Drechsler

Komitees

Organisation

General Chair

Rolf Drechsler

Universität Bremen & DFKI Bremen

Program Chair

Daniel Große

Universität Bremen & DFKI Bremen

Programmkomitee

Erika Ábrahám

RWTH Aachen

Bernd Becker

Uni Freiburg

Jens Brandt

Hochschule Niederrhein

Oliver Bringmann

Universität Tübingen

Raik Brinkmann

OneSpin Solutions GmbH

Gero Dittmann

IBM Research, Zürich

Wolfgang Ecker

Infineon Technologies AG

Karsten Einwich

COSEDA Technologies GmbH

Maher Fakih

OFFIS e.V.

Martin Freibothe

Intel Deutschland GmbH

Christian Haubelt

Uni Rostock

Ulrich Heinkel

TU Chemnitz

Jörg Henkel

Karlsruhe Institute of Technology

Christoph Jäschke

IBM Research

Thomas Klotz

Bosch Sensortec GmbH

Thomas Kropf

Robert Bosch GmbH/Uni Tübingen

Wolfgang Kunz

TU Kaiserslautern

Wolfgang Müller

Heinz Nixdorf Institut/Uni Paderborn

Carna Radojicic

TU Kaiserslautern

Jürgen Ruf

Bosch Sensortec GmbH

Klaus Schneider

TU Kaiserslautern

Christoph Schöll

Uni Freiburg

Jens Schönherr

HTW Dresden

Jürgen Teich

Uni Erlangen-Nürnberg

Markus Wedler

Synopsys GmbH

Robert Wille

JKU Linz

Inhaltsverzeichnis

Hananeh Aliee, Abbas Banaiyanmofrad, Michael Glaß, Jürgen Teich, Nikil Dutt <i>Redundancy-aware Design Space Exploration for Memory Reliability in Many-cores</i> . . .	1
Hussam Amrouch, Jörg Henkel <i>Containing Guardbands: From the Macro to Micro Time Domain</i>	13
Benjamin Beichler, Michael Rethfeldt, Hannes Raddatz, Björn Konieczek, Peter Danielis, Christian Haubelt, Dirk Timmermann <i>Optimization of a novel WLAN Simulation Framework for Prototyping Network Applicati- ons and Protocols</i>	15
Saman Fröhlich, Daniel Große, Rolf Drechsler <i>Exakte BDD Minimierung mit Fehlerschranke für den Einsatz im Approximate Computing</i>	27
Christoph Grimm, Carna Radojicic <i>Extending Affine Arithmetic for Formal Verification of Analog/Mixed-Signal Systems</i> . . .	39
Andreas Grimmer, Werner Haselmayr, Andreas Springer, Robert Wille <i>Verifikation von Networked Labs-on-Chip Architekturen</i>	41
Amrutansh Gudivada, Daniel Kriesten, Ulrich Heinkel, Rene Röllig, Matthias Lenk <i>OpenCL- Design Flow for High Level Synthesis and Cross-Platform Portability</i>	43
M. Ammar Ben Khadra, Dominik Stoffel, Wolfgang Kunz <i>Speculative disassembly of binary code</i>	51
Felix Neubauer, Karsten Scheibler, Bernd Becker, Ahmed Mahdi, Martin Fränze, Tino Teige, Tom Bienmüller, Detlef Fehrer <i>Accurate Dead Code Detection in Embedded C Code by Arithmetic Constraint Solving</i> . .	53
Thiyagarajan Purusothaman, Christoph Grimm <i>SystemC AMS based Co-simulation Framework for Cyber Physical Systems</i>	55
Heinz Riener, Rüdiger Ehlers, Görschwin Fey <i>Counterexample-Guided EF Synthesis of Boolean Functions</i>	67
Leonard Schneider, Oliver Keszocze, Jannis Stoppe, Rolf Drechsler <i>Einfluss von Zellformen auf das Routing von Digital Microfluidic Biochips</i>	75
Tobias Seufert, Christoph Scholl <i>Sequential Verification Using Reverse PDR</i>	79
Sebastian Simon, Jerome Kirscher, Alexander Rath, Zhiqiang Zhang, Linus Maurer <i>Pre-silicon Verification of an Automotive Battery Management System in the Context of the Application</i>	91
Patrick Sittel, Martin Kumm, Konrad Möller, Martin Hardieck, Peter Zipf <i>High-Level Synthesis for Model-Based Design with Automatic Folding including Combi- ned Common Subcircuits</i>	103
Ralf Stemmer, Maher Fakih <i>Towards Timing and Power Analysis of FSM-SADFGs on MPSoCs with Shared Memory Communication</i>	115
Tobias Strauch <i>A Novel RTL ATPG Model Based on Gate Inherent Faults of Complex Gates</i>	117
Shrinidhi Udipi, Joakim Urdahl, Dominik Stoffel, Wolfgang Kunz <i>Dynamic Power Optimization based on Formal Property Checking of Operations</i>	129