Alterungsanalyse integrierter CMOS-Schaltungen für den Einsatz in einem Messsystem zur Aufnahme neuronaler Signale

Dem Fachbereich Physik, Elektrotechnik und Informationstechnik

der Universität Bremen

zur Erlangung des akademischen Grades eines

DOKTOR-INGENIEUR (Dr.-Ing.)

genehmigte Dissertation

von

Dipl.-Ing. Nils Heidmann

aus Bremen

Referent:	Professor Dr.-Ing. St. Paul
Korreferent:	Professor Dr.-Ing. W. Nebel
Eingereicht am:	03.09.2015
Tag des Promotionskolloquiums:	04.12.2015

Forschungsberichte aus dem
Institut für theoretische Elektrotechnik und Mikroelektronik
Arbeitsbereich Kommunikationselektronik
Universität Bremen
Hrsg.: Prof. Dr.-Ing. Steffen Paul

Band 4

Nils Heidmann

Alterungsanalyse integrierter CMOS-Schaltungen für den Einsatz in einem Messsystem zur Aufnahme neuronaler Signale

D 46 (Diss. Universität Bremen)

Shaker Verlag
Aachen 2016

Bibliografische Information der Deutschen Nationalbibliothek
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über http://dnb.d-nb.de abrufbar.

Zugl.: Bremen, Univ., Diss., 2015

Copyright Shaker Verlag 2016
Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe, der Speicherung in Datenverarbeitungsanlagen und der Übersetzung, vorbehalten.

Printed in Germany.

ISBN 978-3-8440-4157-6
ISSN 2195-2809

Shaker Verlag GmbH • Postfach 101818 • 52018 Aachen
Telefon: 02407 / 95 96 - 0 • Telefax: 02407 / 95 96 - 9
Internet: www.shaker.de • E-Mail: info@shaker.de

Kurzfassung

Der Einsatz moderner CMOS-Technologien in sicherheitsrelevanten Applikationen, wie der Luftfahrt und der Medizinelektronik, erfordert ein hohes Maß an Zuverlässigkeit, um einen fehlerfreien Betrieb von Schaltungen über einen langen Zeitraum sicherzustellen. Die kontinuierliche Miniaturisierung von CMOS-Prozessen lässt aktuell eine steigende Bedeutung der Auswirkungen von Prozessvariationen und Alterungsmechanismen auf die Funktionalität von Schaltungen erkennen. Diese Einflüsse sind daher bereits im Entwurfsprozess zu berücksichtigen und eine Analyse der Auswirkungen ist auf allen Abstraktionsebenen des Schaltungsentwurfs durchzuführen, um die Zuverlässigkeit komplexer Systeme sicherzustellen. Um diesen Anforderungen gerecht zu werden, hat sich der Einsatz von Alterungssimulatoren als vielversprechender Ansatz erwiesen. Hierbei werden die Veränderungen von Transistoreigenschaften, z.B. der Schwellspannung, über die Betriebszeit analysiert. In Abhängigkeit der Stressbedingungen und der Umgebungsbedingungen ist auf diese Weise die simulative Bestimmung der Änderung des Ausgangsverhaltens von analogen und digitalen Schaltungstopologien möglich. Für komplexere Systeme mit einer hohen Anzahl von Transistoren erweist sich eine solche Betrachtung jedoch als äußerst zeitintensiv und wenig praktikabel.
Der Schwerpunkt dieser Arbeit liegt auf der Modellierung des Alterungsverhaltens von analogen Schaltungskomponenten auf höheren Abstraktionsebenen des Entwurfsablaufs. Hierzu werden zunächst Modellierungsverfahren vorgestellt, die mittels Approximation das Alterungsverhalten und die Variabilität durch Prozessvariationen von Schaltungen nachbilden. Durch ein automatisiertes Vorgehen zur Generation von Modellfunktionen und eine Umsetzung in eine Verhaltensbeschreibung kann das Verfahren für die Untersuchung unterschiedlicher Schaltungen eingesetzt werden. Anhand eines analogen Neuro-Front-Ends zur Aufnahme neuronaler Signale wird eine Analyse einzelner Schaltungskomponenten durchgeführt und die Auswirkungen auf das Systemverhalten evaluiert. Im Rahmen dieser Arbeit werden zusätzlich Monitor-Strukturen vorgestellt, die eine Überwachung digitaler Schaltungen zur Laufzeit ermöglichen. Die Monitore werden in ein digitales Neuro-Front-End integriert und die Funktionalität sowie die Möglichkeit der Laufzeitüberwachung durch die Vermessung der integrierten Schaltung bestätigt und bewertet.

Abstract

The operation of modern CMOS technologies in safety-critical applications, e.g. avionic and medical electronics, requires a high level of reliability to ensure a safe functionality during the lifetime. The continuous miniaturization of CMOS processes increases the importance of process variations and aging mechanisms for the functionality of transistor circuits. These sources of transistor influences have to be considered during design time and an analysis of circuit impact has to be performed on different layers of abstraction to ensure the reliability of complex systems. In order to fulfill the above mentioned requirements, the use of aging simulators has proven to be a promising approach. To this end, the degradation of transistor parameters, e.g. the threshold voltage, is analyzed as a function of the operation time. Using this method, the degradation of the output characteristic of an analog or digital circuitry can be estimated, dependent on the stress conditions and working environment. The analysis of more complex designs with multiple transistors has been proven difficult in terms of simulation time and is thus not feasible.

This thesis focuses on the modeling of the degradation behavior for analog components on higher abstraction levels of the design flow. An adapted modeling method is presented that uses the approximation of circuit behavior to capture the aging influence and reliability aspects. A design tool is introduced that enables the automated generation of model functions and the translation to a hardware description language. This flow can be applied to different design topologies. In this work, an analog front-end for the recording of neural signals is analyzed. Therefore, the single system components are modeled and the impact of aging mechanism and process variations is evaluated. In addition, monitor structures are introduced to control a digital circuit during run time. The monitors are integrated within a digital application specific integrated circuit and the functionality is confirmed by measurements.

Vorwort

Die vorliegende Arbeit befasst sich mit den Forschungsaktivitäten im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Theoretische Elektrotechnik und Mikroelektronik (ITEM) der Universität Bremen im Arbeitsbereich Kommunikationselektronik. Ich möchte mich an dieser Stelle ganz herzlich bei Herrn Professor Steffen Paul für die Ermöglichung und qualifizierte Betreuung dieser Arbeit sowie die zahlreichen wertvollen inhaltlichen und methodischen Anregungen bedanken. Herrn Professor Wolfgang Nebel von der Universität Oldenburg gilt mein besonderer Dank für die Übernahme des Korreferats. Herrn Professor Alberto Garcia-Ortiz und Herrn Professor Walter Lang danke ich für die Übernahme der Prüftätigkeit.
Danken möchte ich allen Mitarbeiterinnen und Mitarbeitern am ITEM für eine gute, erfolgreiche und vertrauensvolle Zusammenarbeit. Besonderen Dank gilt meinem Bürokollegen Nico Hellwege für viele fachliche Diskussionen und dem konstruktiven Austausch von Fachwissen. Ich möchte mich an dieser Stelle auch bei Frau Dagmar Peters-Drolshagen für ihre fachlichen Ratschläge und wissenschaftlichen Beiträge bedanken. Für die gute Zusammenarbeit bei Veröffentlichungen möchte ich mich stellvertretend bei Ole Bischoff, Till Wiegand, Jochen Rust, Jonas Pistor und Janpeter Höffmann bedanken. Bei Frau Valerie Gerdes möchte ich mich ganz besonders für ihre Hilfsbereitschaft und Unterstützung bedanken.
Zudem möchte ich mich bei den Studentinnen und Studenten bedanken, die mich mit ihren Arbeiten unterstützt haben. Stellvertretend seien an dieser Stelle Maike Taddiken, Tim Höhlein, Fabian Lührs und Thomas Westphal genannt.
Die Fertigstellung dieser Arbeit wäre nicht ohne die Unterstützung meiner Familie möglich gewesen. Besonderen Dank gilt meiner Freundin Daniela, die mit ihrem Verständnis und liebevollen Zuspruch wesentlich zum Gelingen dieser Arbeit beigetragen hat.

Inhaltsverzeichnis

1 Einleitung . . . 1
1.1 Eigener Beitrag . . . 3
1.2 Gliederung . . . 4

2 Zuverlässigkeit von CMOS-Prozessen . . . 5
2.1 Variabilität . . . 5
2.1.1 Prozessvariationen . . . 6
2.1.2 Degradation . . . 8
2.1.2.1 Elektromigration . . . 9
2.1.2.2 *Time Dependent Dielectric Breakdown* . . . 10
2.1.2.3 *Hot Carrier Degradation* . . . 11
2.1.2.4 *Bias Temperature Instability* . . . 14
2.1.3 Alterungssimulation . . . 16
2.2 Zuverlässigkeit . . . 17
2.2.1 Grundlagen . . . 18
2.2.2 Ausbeute . . . 21
2.2.3 Alterungsabhängige Ausbeute . . . 23
2.3 Zusammenfassung . . . 23

3 Modellierung der Zuverlässigkeit analoger Schaltungen . . . 25
3.1 Entwurfsraum . . . 25
3.1.1 Nomineller Entwurfsablauf . . . 27
3.1.2 Zuverlässigkeitsorientierter Entwurfsablauf . . . 28
3.2 Alterungs- und Zuverlässigkeitsanalyse . . . 29
3.2.1 Arbeitspunktabhängige Degradationsbetrachtung . . . 29
3.2.2 Monte-Carlo-Analyse . . . 30
3.2.3 *Worst-Case*-Analyse . . . 32
3.3 Verhaltensmodellierung . . . 33
3.3.1 Alterungsabhängige Verhaltensmodellierung . . . 35
3.3.1.1 Polynomiale Approximation . . . 35
3.3.1.2 Exponentielle Approximation . . . 37

3.3.1.3 Radiale Basisfunktionen 39
3.3.2 Zuverlässigkeitsorientierte Verhaltensmodellierung 43
3.3.2.1 Statistische Versuchsplanung 43
3.3.2.2 Statistische Versuchsplanung mit exponentieller Approximation 47
3.4 Automatisierte alterungsabhängige Verhaltensmodellierung 51
3.4.1 Konzeptioneller Aufbau 52
3.4.2 Implementierung 53
3.4.3 Funktionsausgabe 55
3.5 Zusammenfassung 56

4 Zuverlässigkeit eines analogen Neuro-Interfaces 57
4.1 Neuronale Messsysteme 58
4.2 Analoges neuronales Front-End 61
4.2.1 Analoger Aufnahmekanal 62
4.2.1.1 Erste Verstärkerstufe 63
4.2.1.2 LFP- / AP-Hochpass 67
4.2.1.3 Variable Verstärkerstufe 69
4.2.1.4 Analoger Aufnahmekanal 71
4.2.2 Stimulationsquelle 74
4.2.3 Layout und Fertigung des Neuro-Front-Ends 76
4.2.4 Messergebnisse 78
4.3 Verhaltensmodellierung des analogen Front-Ends 82
4.3.1 Kanalmodellierung 83
4.3.2 Modellsimulation 86
4.4 Alterungsmodellierung 90
4.4.1 Simulationsdauer und Alterungsanalyse 90
4.4.2 Zuverlässigkeitsanalyse 95
4.4.3 Systembetrachtung 100
4.5 Zusammenfassung 103

5 Überwachung eines digitalen Neuro-ASIC 105
5.1 Monitor-Strukturen 105
5.1.1 Aufbau 107
5.1.2 Designablauf 108
5.2 Digitales Front-End 110
5.2.1 Monitor-Integration 111
5.2.2 Layout 112
5.2.3 Messaufbau 112
5.2.4 Messergebnisse 117
5.3 Zusammenfassung 121

6 Zusammenfassung und Ausblick 123
6.1 Zusammenfassung 123
6.2 Ausblick 125

A Degradation 127

B Algorithmen und Transistortopologien 129
B.1 Zuverlässigkeitsmodellierung 129
B.2 Analoges Neuro-Interface 130

Verzeichnis der Symbole und Abkürzungen 133

Literaturverzeichnis 137