

Jan Dürre

Ein skalierbares und flexibles FPGA-Framework für Lehre und Rapid-Prototyping

Ein skalierbares und flexibles FPGA- Framework für Lehre und Rapid-Prototyping

Von der Fakultät für Elektrotechnik und Informatik
der Gottfried Wilhelm Leibniz Universität Hannover
zur Erlangung des akademischen Grades
Doktor-Ingenieur
(abgekürzt: Dr.-Ing.)
genehmigte Dissertation

von

Dipl.-Ing. Jan Dürre

geboren am 17. April 1983

in Köln

2019

1. Referent: Prof. Dr.-Ing. Holger Blume
2. Referent: Prof. Dr.-Ing. Bernardo Wagner
Tag der Promotion: 23. Mai 2019

Berichte aus der Elektrotechnik

Jan Dürre

**Ein skalierbares und flexibles FPGA-Framework
für Lehre und Rapid-Prototyping**

Shaker Verlag
Düren 2019

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

Zugl.: Hannover, Leibniz Univ., Diss., 2019

Copyright Shaker Verlag 2019

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe, der Speicherung in Datenverarbeitungsanlagen und der Übersetzung, vorbehalten.

Printed in Germany.

ISBN 978-3-8440-6780-4

ISSN 0945-0718

Shaker Verlag GmbH • Am Langen Graben 15a • 52353 Düren

Telefon: 02421 / 99 0 11 - 0 • Telefax: 02421 / 99 0 11 - 9

Internet: www.shaker.de • E-Mail: info@shaker.de

Danksagung

Zuvörderst danke ich Herrn Prof. Dr.-Ing. Holger Blume dafür am Institut für Mikroelektronische Systeme der Gottfried Wilhelm Leibniz Universität tätig gewesen sein zu dürfen, für die weitreichende Unterstützung, die vielen fruchtbaren Diskussionen und die Möglichkeit promovieren zu können. Herrn Prof. Dr.-Ing. Bernardo Wagner danke ich für die gewinnbringende fachliche Diskussion über die vorliegende Arbeit und die Übernahme des zweiten Referats. Herrn Prof. Dr.-Ing. Bernhard Wicht danke ich herzlich für die Übernahme des Vorsitzes der Prüfungskommission.

Weiterhin gilt mein Dank Herrn Jun.-Prof. Dr.-Ing. Guillermo Payá Vayá für die wertvolle Zusammenarbeit und umfassende Unterstützung, die einen wesentlichen Beitrag zum Gelingen meiner Promotion geleistet hat. Herrn Dr.-Ing. Christian Leibold danke ich herzlich für die angenehme gemeinsame Zeit in fachlichen wie privaten Dingen.

Des Weiteren bedanke ich mich bei allen ehemaligen Kollegen am Institut für Mikroelektronische Systeme für die angenehme Zusammenarbeit und das positive Miteinander. Auch allen ehemaligen Studierenden danke ich herzlich für die gewinnbringende Zusammenarbeit in unterschiedlichen Projektzusammenhängen. Besonderer Dank gilt Herrn Dario Paradzik für seine herausragenden Arbeiten.

Meinen Eltern danke ich für die langjährige Unterstützung, vor allem auch während meines Studiums. Besonders danke ich meinem Vater Herrn Winfried Dürre für das Korrekturlesen meiner Dissertationsschrift. Außerordentlicher Dank gilt meiner Frau Tanja, ohne deren Beistand das erfolgreiche Abschließen meiner Promotion nicht möglich gewesen wäre.

Jan Dürre

Hannover, Mai 2019

Kurzfassung

Die stark zunehmende Verbreitung von Informations- und Kommunikations-Technologie im Alltag vieler Menschen geht einher mit einem ebenfalls stark ansteigenden Bedarf an Energie-effizienter Rechenleistung. Diese Rechenleistung wird aktuell zum Großteil durch einfach programmierbare Prozessoren erbracht. In der Vergangenheit konnten derartige Systeme durch Architektur-Verbesserungen und Erhöhungen von Taktraten die steigenden Anforderungen an die Rechenleistung erfüllen. Das Annähern an physikalische Grenzen der herkömmlichen Prozessor-Technologie erfordert zukünftig den Einsatz neuartiger Architektur-Ansätze, um dem steigenden Bedarf nach effizienter Rechenleistung gerecht zu werden. Field Programmable Gate Arrays (FPGA) haben aufgrund ihrer hohen Flexibilität und Recheneffizienz das Potential, wesentlicher Teil dieser neuen Architekturen zu sein.

Bereits jetzt haben FPGAs große Bedeutung als spezialisierte Realisierungsmöglichkeit, besonders dort wo hohe Rechenleistungen erforderlich sind. Aufgrund dessen bildet der FPGA-Schaltungsentwurf zum aktuellen Zeitpunkt schon eine immer wichtiger werdende Kompetenz hochausgebildeter Elektrotechnik-Ingenieure. Der mögliche Wandel von einer hochspezialisierten Nischentechnologie zur Mainstream-Technologie erfordert zukünftig die breite Vermittlung von FPGA-Konzepten oder –Kompetenzen an unterschiedlichste Zielgruppen, beispielsweise auch an Anwender. Die hohe Komplexität des FPGA-Entwurfs stellt hierbei eine wesentliche Herausforderung dar.

Die vorliegende Arbeit präsentiert ein umfangreiches Werkzeug zur flexiblen und gezielten Skalierung der Abstraktion des FPGA-Entwurfs. Die Komponenten des gezeigten Ansatzes sind geeignet die Komplexität der verschiedenen Aspekte des FPGA-Schaltungsentwurfs individuell so zu vereinfachen, dass die Vermittlung an Zielgruppen mit unterschiedlichen Vorkenntnissen möglich wird. Hierbei werden stets alle wesentlichen Konzepte des FPGA-Schaltungsentwurfs erhalten, um eine erfolgreiche Vermittlung der Kernaspekte zu gewährleisten.

Der erfolgreiche Einsatz des im Rahmen dieser Arbeit entstandenen Frameworks konnte anhand von mehreren Fallstudien gezeigt werden. Der Jugendwettbewerb „INVENT a CHIP“ zeigt die gelungene Vermittlung von grundlegenden FPGA-Konzepten an Schülerinnen und Schüler der Jahrgangsstufen 8 bis 13. Das Labor „FPGA-Entwurfstechnik“ der Leibniz Universität Hannover bietet Master-Studierenden im Bereich Elektrotechnik die Möglichkeit tiefgehende und detailreiche Kenntnisse über FPGAs zu erlangen. Das Konzept eines neuartigen Labors für Software-Entwickler zeigt die mögliche Abstraktion des FPGA-Entwurfs mit Fokus auf hardwarenaher Programmierung. Zusätzlich ist die Vereinfachung des FPGA-Entwurfs mit Hilfe des vorliegenden Werkzeugs dazu geeignet, die Entwurfszeit in Rapid-Prototyping Projekten in erheblichem Maße zu verkürzen. Dieser Aspekt konnte anhand der Implementierung eines State-of-the-Art FPGA-Demonstrationssystems zur videobasierten Personendetektion mit Hilfe des Frameworks veranschaulicht werden.

Schlagworte: FPGA – Framework – Lehre – Rapid-Prototyping

Abstract

The rapidly increasing spread of information and communication technology in the everyday lives of many people goes hand in hand with an equally rapidly increasing demand for energy-efficient computing power. Easily programmable processors currently provide the majority of this computing power. In the past, such systems were able to meet the increasing demands on computing power through architectural improvements and increases in system clock rates. Approaching the physical limits of conventional processor technology will require the use of new architectural approaches in the future in order to meet the increasing demand for efficient computing power. Field Programmable Gate Arrays (FPGA) have the potential to be an essential part of these new architectures due to their high flexibility and computing efficiency.

FPGAs are already of great importance as specialized implementation options, especially where high computing power is required. As a result, FPGA circuit design has become an increasingly important competence of highly trained electrical engineers. The possible transition from highly specialized niche technology to mainstream technology will require teaching FPGA concepts to a wide variety of target groups, including potential users. Here, the very high complexity of FPGA design represents a major challenge.

This thesis presents a comprehensive tool for flexible and precise scaling of the abstraction of the FPGA design flow. The components of this works approach are suitable to simplify the complexity of the different aspects of FPGA circuit design individually in such a way that the teaching of groups with different levels of knowledge becomes possible. The shown approach preserves all essential concepts of the FPGA circuit design in order to guarantee the successful teaching of the core aspects.

Several case studies show the successful application of the framework developed in the context of this work. The youth competition "INVENT a CHIP" shows the fruitful teaching of basic FPGA concepts to pupils in grades 8 to 13. The laboratory "Design Methods for FPGAs" at the Leibniz University Hannover offers master students in the field of electrical engineering the opportunity to gain in-depth and detailed knowledge about FPGAs. The concept of a novel laboratory for software developers shows the possible abstraction of FPGA design with a focus on hardware-related programming. In addition, the simplification of the FPGA design with the help of the presented tool is able to shorten the design time in rapid prototyping projects significantly. The implementation of a state-of-the-art FPGA demonstration system for video-based person detection using the framework illustrates this aspect.

Keywords: FPGA – Framework – Teaching – Rapid-Prototyping

Inhaltsverzeichnis

DANKSAGUNG	III
KURZFASSUNG	V
ABSTRACT	VII
ABKÜRZUNGSVERZEICHNIS	XIII
1. EINLEITUNG	1
1.1 Bildungsauftrag	1
1.2 Zielsetzung der Arbeit	2
1.3 Struktureller Aufbau	3
1.4 Leseanleitung	4
2. FIELD PROGRAMMABLE GATE ARRAYS	5
2.1 Grundlagen	5
2.2 Eigenschaften	7
2.3 Industrielle Bedeutung	9
2.3.1. Aktuell: hochspezialisierte Nischentechnologie	9
2.3.2. Zukünftig: Mainstream-Technologie	10
3. DIDAKTISCH-METHODISCHER RAHMEN	17
3.1 Didaktische Grundlagen	17
3.1.1. Didaktische Modelle	18
3.1.2. Lernpsychologische Erkenntnisse	24
3.1.3. Fachspezifische Konzepte und fundamentale Ideen	26
3.2 Methodische Grundlagen	26
3.2.1. Problembasiertes Lernen	28
3.2.2. Projektarbeit	28
3.3 Bildungssystem der Bundesrepublik Deutschland	28
3.3.1. Struktur	28

3.3.2.	Determinierung von Lehrinhalten	30
3.3.3.	Curricula	32
3.4	Resultierende Orientierung für diese Arbeit	35
3.4.1.	Aufgabe I: Darstellung des Bildungswerts des FPGA-Entwurfs	35
3.4.2.	Aufgabe II: Implementierung eines Werkzeugs zur Handhabung des FPGA-Entwurfs im Lehr- und Lern-Umfeld	35
4.	FPGA-ENTWURFSABLAUF	39
4.1	Übersicht.....	39
4.2	Digitaler Systementwurf.....	41
4.3	Beschreibung von Schaltungen	44
4.3.1.	Schematic-Entry	44
4.3.2.	Hardware Description Languages	45
4.3.3.	High-Level Synthesis	45
4.4	Funktionale Simulation.....	46
4.5	Field Programmable Gate Arrays	46
4.6	Software-Tools	47
4.7	Peripherie-Elemente.....	47
5.	BILDUNGSWERT DES FPGA-ENTWURFS.....	49
5.1	Inhalts- und prozessbezogene Kompetenzen	49
5.2	Fachspezifische Konzepte und fundamentale Ideen	50
5.3	Zukünftig Teil von Alltagskompetenz	51
5.4	Positive Wechselwirkungen mit bestehenden Lehrinhalten	52
5.4.1.	Allgemeinbildende Schulen	52
5.4.2.	Berufsbildende Schulen	54
5.4.3.	Hochschulen.....	55
5.4.4.	Weiterbildung	56
6.	ENTWICKLUNG DES GEWÄHLTEN ANSATZES	57
6.1	Stand der Technik.....	57
6.1.1.	Abstraktion zur Steigerung der Produktivität	58
6.1.2.	FPGA-Systeme in der Lehre.....	63

6.2	Konzeptionierung	66
7.	SKALIERBARES UND FLEXIBLES FRAMEWORK	71
7.1	Übersicht	71
7.2	Infrastruktur	73
7.2.1.	Standardisierte Schnittstellen.....	74
7.2.2.	Interfaces zur Ansteuerung von Peripherie-Elementen	76
7.2.3.	Host-Link und Software-API.....	79
7.2.4.	Konfigurierbarkeit	84
7.3	Modul-Bibliothek	86
7.4	Testbench	87
7.5	Tool-Chain	90
7.6	Coding-Guidelines	93
7.7	Beispielkonfiguration des Frameworks	95
8.	FALLSTUDIEN UND DISKUSSION	99
8.1	Jugendwettbewerb „INVENT a CHIP“	99
8.1.1.	Einsatz des Frameworks.....	101
8.1.2.	Auswertung von Projekten	106
8.1.3.	Evaluation durch Befragung der Teilnehmenden	109
8.2	Master-Labor „FPGA-Entwurfstechnik“	113
8.2.1.	Einsatz des Frameworks.....	114
8.2.2.	Evaluation durch die Studierenden	119
8.3	Forschungsprojekt „Personendetektor“	119
8.4	Curriculare Empfehlung: Labor „Reconfigurable Computing“	121
8.4.1.	Zielsetzung des Labors	122
8.4.2.	RC-System für den Lehreinsatz	123
8.4.3.	Labordurchführung	124
8.4.4.	Einsatz des Frameworks.....	130
9.	ZUSAMMENFASSUNG	133
ANHANG A.	DETAILLIERTE DARSTELLUNG DER CURRICULAREN VORGABEN	137
A.1	Allgemeinbildende Schulen	139
A.1.1.	Primärbereich	140

A.1.2. Sekundärbereich I	140
A.1.3. Sekundärbereich II	146
A.2 Berufsbildende Schulen	147
A.2.1. Duale Ausbildung (Berufsschule)	149
A.2.2. Berufliches Gymnasium	152
A.3 Hochschulen	155
A.3.1. Elektrotechnik und Informationstechnik	157
A.3.2. Informatik	159
A.4 Weiterbildung	161
ANHANG B. EVALUATION DES INVENT A CHIP WETTBEWERBS	163
B.1 Fragebogen	163
B.2 Einzelergebnisse der Befragung	168
LITERATURVERZEICHNIS	175
WISSENSCHAFTLICHER WERDEGANG.....	185

Abkürzungsverzeichnis

ADC <i>Analog-Digital-Converter, Analog-Digital-Converter</i>	IC <i>Integrated Circuit</i>
ALU <i>Arithmetic Logic Unit</i>	ICT <i>Information and Communication Technology</i>
API <i>Application Programming Interface</i>	IMS <i>Institut für Mikroelektronische Systeme</i>
ASIC <i>Application Specific Integrated Circuit</i>	IP <i>Intellectual Property</i>
BMBF <i>Bundesministerium für Bildung und Forschung</i>	KMK <i>Kultusministerkonferenz</i>
bP <i>beendete Projekte</i>	LCD <i>Liquid Crystal Display</i>
BRAM <i>Block-RAM</i>	LE <i>Logikelement</i>
CAD <i>Computer-Aided Design</i>	LUT <i>Look-Up-Table</i>
CPU <i>Central Processing Unit</i>	MCU <i>Microcontroller Unit</i>
DAC <i>Digital-Analog-Converter, Digital-Analog-Converter</i>	MUX <i>Multiplexer</i>
D-FF <i>D-Flip-Flop</i>	nbP <i>nicht beendete Projekte</i>
DSP <i>Digital Signal Processor, Digital Signal Processing</i>	NRE <i>Non-Recurring Engineering</i>
FF <i>Flip-Flop</i>	RAM <i>Random-Access Memory</i>
FIFO <i>First-In-First-Out Memory</i>	RC <i>Reconfigurable Computing</i>
FLI <i>Foreign Language Interface</i>	RISC <i>Reduced Instruction Set Computer</i>
FPGA <i>Field Programmable Gate Array</i>	ROM <i>Read-Only Memory</i>
FPS <i>Frames per Second</i>	RT <i>Register-Transfer</i>
FSM <i>Finite State Machine</i>	SoC <i>System-on-Chip</i>
FW <i>Framework</i>	SVM <i>Support vector machine</i>
GPIO <i>General-purpose input/output</i>	Tcl <i>Tool Command Language</i>
GPP <i>General Purpose Processor</i>	UART <i>Universal Asynchronous Receiver-Transmitter</i>
GPU <i>Graphics Processing Unit</i>	USD <i>US-Dollar</i>
HDL <i>Hardware Description Language</i>	VDE <i>Verband der Elektrotechnik Elektronik Informationstechnik e.V.</i>
HLS <i>High-Level Synthesis</i>	VHDL <i>Very High Speed Integrated Circuit Hardware Description Language</i>
HOG <i>Histograms of oriented gradients</i>	VNA <i>Von-Neumann-Architektur</i>
IaC <i>INVENT a CHIP</i>	