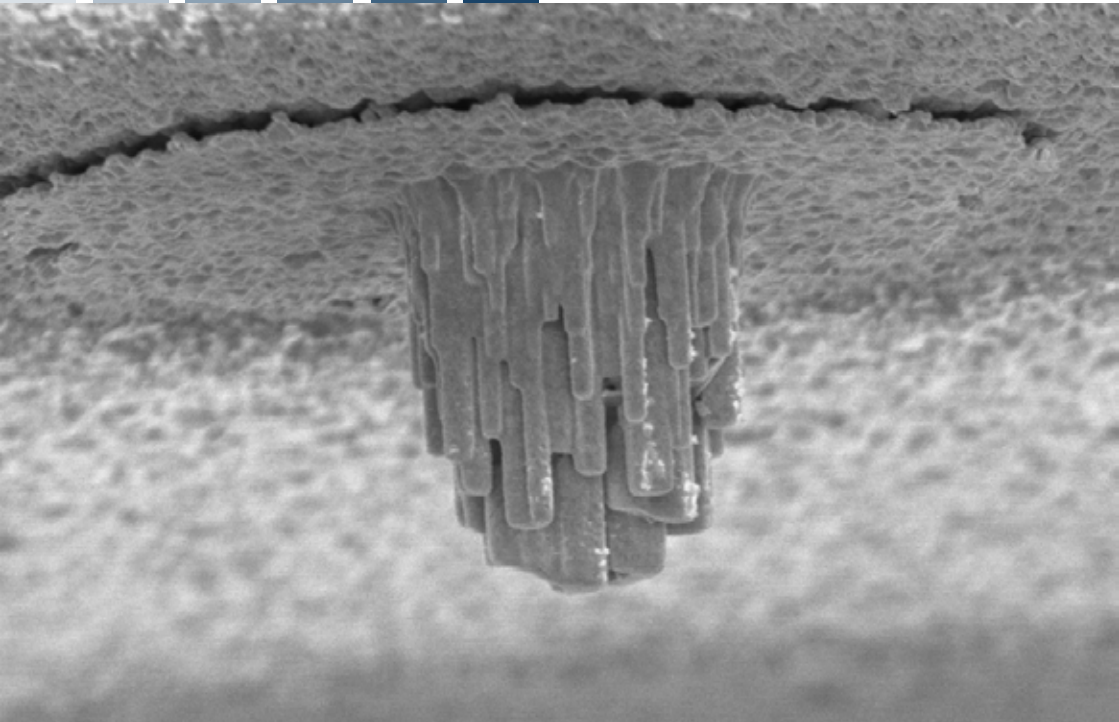


Dreidimensionale Aufbautechnik ultradünner Silizium Chips mit vertikaler Durchkontaktierung

Saleh Ferwana



Dreidimensionale Aufbautechnik ultradünner Silizium Chips mit vertikaler Durchkontaktierung

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik
der Universität Stuttgart zur Erlangung der Würde eines Doktors der
Ingenieurwissenschaften (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von

Dipl.-Ing. Saleh Ferwana

Geboren am 13.06.1976 in Gaza / Palästina

Hauptberichter: Prof. Dr.-Ing. Joachim N. Burghartz

Mitberichter: Prof. Dr.-Ing. Erhard Kohn

Tag der Einreichung: 17.05.2017

Tag der mündlichen Prüfung: 09.11.2017

Institut für Nano- und Mikroelektronische Systeme
der Universität Stuttgart

2017

Berichte aus der Elektronik

Saleh Ferwana

**Dreidimensionale Aufbautechnik ultradünner
Silizium Chips mit vertikaler Durchkontaktierung**

D 93 (Diss. Universität Stuttgart)

Shaker Verlag
Aachen 2018

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

Zugl.: Stuttgart, Univ., Diss., 2017

Copyright Shaker Verlag 2018

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe, der Speicherung in Datenverarbeitungsanlagen und der Übersetzung, vorbehalten.

Printed in Germany.

ISBN 978-3-8440-5792-8

ISSN 1436-3801

Shaker Verlag GmbH • Postfach 101818 • 52018 Aachen

Telefon: 02407 / 95 96 - 0 • Telefax: 02407 / 95 96 - 9

Internet: www.shaker.de • E-Mail: info@shaker.de

To my beloved parents

Inhaltsverzeichnis

Inhaltsverzeichnis	3
Abkürzungsverzeichnis	7
Zusammenfassung	11
Abstract.....	15
1 Einleitung	19
2 Grundlagen der Integration mikroelektronischer Schaltungen	23
2.1 2D-Integration	23
2.2 3D-Integrationstechnologien.....	24
2.2.1 3D-IC-Technologie	24
2.2.2 2.5D-Technologie.....	26
2.2.3 3D-Packages.....	26
2.2.4 Ansätze der Chip-Durchkontaktierung.....	27
3 Herstellungsverfahren für ultradünne Si-Chips.....	35
3.1 Silizium-auf-Isolator (SOI)-Verfahren.....	35
3.2 Rückschleifverfahren	36
3.2.1 Konventionelles Rückschleifverfahren	37
3.2.2 Dicing-Before-Grinding (DBG)-Prozess	37
3.2.3 TAIKO-Verfahren.....	38
3.3 SCREAM-Technologie	39
3.4 ChipFilm™-Technologie	40
3.4.1 ChipFilm™-I.....	42
3.4.2 ChipFilm™-II.....	45
3.4.3 ChipFilm™-1.5 Technologie	46
3.4.4 ChipFilm™-Anwendungen.....	49
3.5 Zusammenfassung.....	52
4 Poröses Silizium (PS): Herstellungsverfahren und Eigenschaften	55
4.1 Grundlagen des porösen Siliziums.....	55
4.1.1 Elektrochemische Ätzung zur Herstellung von porösem Silizium	58
4.1.2 Thermische Umlagerung von porösem Silizium.....	64
4.1.3 Grundlagen zur thermischen Oxidation von Silizium und porösem Silizium.....	66

4.2	Einfluss der Ätzparameter auf die PS-Schichten	71
4.2.1	Einflussparameter der Auflöserate	71
4.2.2	Einflussparameter der Porosität	74
4.3	Einfluss des PS-Sinterprozesses auf der Si-Epitaxieschicht	76
4.4	Thermische Oxidation von porösem Silizium.....	80
4.4.1	Thermische Oxidation von gesinterten und ungesinterten PS-Schichten	80
4.4.2	Empirisches Modell für die Oxidation von gesinterten PS-Schichten.	88
4.5	Elektrische Eigenschaften von porösem Silizium.....	90
4.5.1	Bestimmung des spezifischen Widerstandes von porösem Silizium	91
4.5.2	Bestimmung des AlSiCu / PS Übergangswiderstandes	102
4.6	Zusammenfassung	104
5	Vertikale Durchkontaktierungen in ChipFilm™-Membranwafern	107
5.1	Herstellung von TSVs in ChipFilm™-I Wafern	107
5.1.1	Ätzprozessoptimierung für TSVs in ChipFilm™-I Wafern	108
5.1.2	Abscheidung der Isolationsschicht.....	115
5.1.3	Via-Auffüllung in ChipFilm™-I Wafer	118
5.2	Herstellung von TSVs mit selbstjustiertem Via-Ätzungsprozess in ChipFilm™-Wafern	125
5.2.1	Thermische Oxidation der Kavität	125
5.2.2	Selbstjustierter Via-Ätzungsprozess	129
5.2.3	Via Passivierung.....	132
5.2.4	Auffüllung der TSVs in ChipFilm™-1.5 Wafern	132
5.3	Kompensation der Chipwölbung.....	133
5.4	Zusammenfassung.....	137
6	3D-Integration mit ChipFilm™-Chips.....	139
6.1	Prozessierung der oberen Chips und des unteren Wafers	139
6.1.1	Daisy-Chain-Design	139
6.1.2	Herstellung des oberen Chips.....	141
6.1.3	Prozessierung des unteren Wafers.....	146
6.2	Stapelung von ultradünnen Si-Chips auf Bulk- / ChipFilm™-Wafern ..	147
6.3	Handhabung ultradünner flexibler Chips	150
6.3.1	Elektrostatische Handhabung ultradünner Chips	151

6.3.2	Einfluss der elektrostatischen Handhabung auf dünnen IC-Chips	156
6.4	Zusammenfassung.....	158
7	Elektrische Charakterisierung von gestapelten ChipFilm™-Chips.....	161
7.1	Elektrische Eigenschaften des Auffüllmaterials	161
7.1.1	Untersuchung des Wolfram- / Silbertinte- Kontaktes	162
7.1.2	Elektrische Eigenschaften von getemperter Silbertinte	163
7.2	Via-Ketten in ultradünnen Chips	165
7.3	Vertikale Durchkontaktierung über gestapelte Chips	167
7.4	Zusammenfassung.....	170
8	Schlussfolgerung und Ausblick	171
	Danksagung	173
	Literaturverzeichnis	175
	Lebenslauf.....	187
	Eigene Veröffentlichungen.....	189
	Auszeichnungen	191