

Workshop Multimedia und Mikrotechnik

Institut für Rechnerstrukturen - Universität Siegen

Band 2

Rainer Brück (Hrsg.)

Workshop Multimedia und Mikrotechnik

Shaker Verlag
Aachen 2000

Die Deutsche Bibliothek - CIP-Einheitsaufnahme

Workshop Multimedia und Mikrotechnik/ Rainer Brück (Hrsg.).

Aachen: Shaker, 2000

(Workshop Multimedia und Mikrotechnik; Bd. 2)

ISBN 3-8265-8168-7

Copyright Shaker Verlag 2000

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe, der Speicherung in Datenverarbeitungsanlagen und der Übersetzung, vorbehalten.

Printed in Germany.

ISBN 3-8265-8168-7

ISSN 1438-4280

Shaker Verlag GmbH • Postfach 1290 • 52013 Aachen

Telefon: 02407 / 95 96 - 0 • Telefax: 02407 / 95 96 - 9

Internet: www.shaker.de • eMail: info@shaker.de

Zusammenfassung

Die in den letzten Jahren erreichten Fortschritte bei der Entwicklung von optoelektronischen und mikrooptischen Bauelementen, wie z.B. Mikrolaser, Quantenschicht-Modulatoren, in Silizium integrierte schnelle Detektoren bzw. Mikrolinsenfelder schafften die Voraussetzung für ein zukünftiges optoelektronisches oder photonisches VLSI. Mit diesen Bauelementen wird es möglich, auf engstem Raum weitaus mehr Verbindungen mit hoher Bandbreite zwischen integrierten Schaltkreisen aufzubauen, als dies aufgrund physikalischer Einschränkungen rein-elektronisch machbar ist. Dies erlaubt prinzipiell den Aufbau von kompakten digitalen Systemen mit Rechenleistungen wie sie bisher nur in großen Superrechnern realisierbar sind. Um dies wirklich zu erreichen, müssen in den nächsten Jahren aus den weitgehend getesteten einzelnen Bauelementen fertige Systeme aufgebaut werden. Dazu bedarf es einer durch den Rechner zu erfolgenden automatischen Unterstützung mit entsprechend geeigneten Entwurfswerkzeugen. Zudem werden diese Entwurfswerkzeuge dazu beitragen, dass eine Vielzahl unterschiedlicher Architekturen schnell realisiert werden kann, was für den Erfolg des optoelektronischen VLSI unerlässlich ist.

Für diesen Zweck können nicht einfach die beim Entwurf rein-elektronischer VLSI-Systeme bewährten Werkzeuge und Verfahren übernommen werden. Dies scheitert am unterschiedlichen Aufbau von OE-VLSI- und rein-elektronischen Schaltkreisen. Ferner besitzen die optischen Verbindungen zur Verknüpfung von hintereinander angeordneten OE-VLSI-Schaltkreisen einen weitaus höheren Stellenwert als dies bei den Verbindungen in einem elektronischen Chip der Fall ist. Während letztere Teil des elektronischen Chips sind, erfordert die Realisierung der optischen Verbindungen in einem OE-VLSI-System den Entwurf einer eigenständigen Komponente, die zudem im Aufbau und der Geometrie in enger Wechselwirkung mit dem OE-VLSI-Schaltkreis steht. Wichtigster Unterschied zwischen einem rein-elektronischen und einem OE-VLSI-Schaltkreis ist die Anordnung der Anschlüsse zur off-chip-Kommunikation. Während diese sich im rein-elektronischen Fall am Chiprand befinden, sind

sie in einem OE-VLSI-Schaltkreis in äquidistanten Abständen direkt in bzw. über der Chipfläche verteilt. Mit dieser neuen Situation können die derzeit in elektronischen Entwurfssystemen verwendeten Platzierungsalgorithmen nicht adäquat umgehen. Um hier voran zu kommen, wurde von uns ein neues Verfahren entwickelt, implementiert und an verschiedenen Architekturbeispielen getestet. Ferner wurde ein Algorithmus aufgezeigt, um für den Spezialfall optischer Fan-Out-Verbindungen im Anschluss an den Entwurf eines OE-VLSI-Schaltkreises eine für den Herstellungsprozess geeignete Beschreibung eines binären Phasengitters automatisch zu erzeugen. Es wurden zwei unterschiedliche Verfahren für den automatischen Entwurf von VLSI-Schaltkreisen mit monolithisch integrierten optischen 2-D Empfängerfeld vorgestellt. Diese basierten auf modifizierte Algorithmen, die sich beim Entwurf rein-elektronischer Schaltkreise in der Vergangenheit bewährt hatten. Bei den Algorithmen handelte es sich um einen Platzierungsalgorithmus auf der Grundlage von Simulated Annealing und dem sogenannten Gruppenbildungsverfahren. Die Modifikation bestand in einer veränderten Startbedingung. Anstatt mit einer leeren Chipfläche zu beginnen, wird zunächst eine Vorplatzierung der optoelektronischen Anschlüsse für optische Empfänger und Sender vorgenommen. Diese kann durch Einstellung bestimmter Parameter vom Entwickler definiert werden und bleibt im weiteren Verlauf des Algorithmus von Veränderungen ausgeschlossen.

Es zeigte sich an Hand empirischer Untersuchungen, dass eine auf Simulated Annealing basierende Lösung auf Kosten einer erhöhten Rechenzeit klare Vorteile gegenüber dem Gruppenbildungsverfahren aufweist. Mit dem entwickelten neuen Verfahren konnten OE-VLSI-Schaltkreise entworfen werden, die bis zu 64 % Flächensparnis gegenüber rein-elektronischen Schaltkreisen ermöglichen. Dieser Vorteil ist mit einer höheren Rechenzeit verbunden, was angesichts des Nutzens jedoch vertretbar ist. In Zukunft ist geplant, die Ergebnisse durch eine andere Klasse von Algorithmen noch zu verbessern. Algorithmen, die bei der Platzierung mit Nebenbedingungen – wie bei OE-VLSI-Schaltkreisen notwendig – Analogien zu den Kräfteverhältnissen und gegenseitigen Anziehungskräften von Molekü-

len in organischen Materialien machen [22], weisen sehr vielversprechende Ergebnisse auf. Diese basieren auf Differentialgleichungssysteme mit Nebenbedingungen.

Die in dieser Arbeit erzielten Ergebnisse bei der Synthese von OE-VLSI-Schaltkreisen und zugehörigen optischen Fan-Out-Verbindungen mittels binären Phasengitter werden in ein bereits von uns entwickeltes System HADLOP [23] eingehen. Bisher ist HADLOP ein System zur Modellierung und Simulation optischer und optoelektronischer Architekturen auf Digitalebene. Es ist geplant, mittels der hier vorgestellten Verfahren HADLOP auszubauen, um es auch zur Synthese von 3-D OE-VLSI-Schaltkreisen inklusive der zugehörigen optischen Verbindungskomponenten zu verwenden. Ferner ist vorgesehen, HADLOP mit einem Raytracing-Werkzeug für planare Optik zu verbinden [24], um durch automatische Platzierung optoelektronischer VLSI-Schaltkreise und zugehöriger optischer Elemente auf einem Glassubstrat (s. Bild 4) auch die Integration von Optik und Elektronik durch den Rechner zu unterstützen.

Literatur

- [1] D. Kuhl et. al.: "PAROLI – A Parallel Optical Link with 15 Gbit/s Throughput in a 12-channel Wide Interconnection", Proceedings 6th Int. Conference on Parallel Interconnects PI'99, IEEE CS Press, Los Alamitos, pp. 187-193, 1999.
- [2] A.V. Krishnamoorthy, L.M.F. Chirovsky, W.S. Hobson, R.E. Leibenguth, S.P. Hui, G.J. Zydik, K.W. Goosen, J.D. Wynn, B.J. Tseng, J.A. Walker, J.E. Cunningham, and L.A. D'Asaro: "Vertical Cavity Surface-Emitting Lasers Flip-Chip Bonded to Gigabit-per-Second CMOS Circuits", *IEEE Phot. Tech. Lett.*, Vol. 11, No. 1, pp. 128-130, 1999.
- [3] A.V. Krishnamoorthy: "16x16 VCSEL array flip-chip bonded to CMOS", OSA Top. Meeting *Optics in Computing* (Snowmass), Postdeadline PD3, April 1999.
- [4] A.V. Krishnamoorthy, K.W. Goosen: "Progress in optoelectronic-VLSI smart pixel technology based on GaAs/AlGaAs MQW modulators", *Int. Journal of Optoelectronics*, 11, 181-198, 1997.