Eine konfigurierbare RISC/Coprozessor-Architektur zur Echtzeitverarbeitung von Objekterkennungsverfahren

Von der Fakultät für Elektrotechnik und Informatik
der Gottfried Wilhelm Leibniz Universität Hannover
zur Erlangung des akademischen Grades
Doktor-Ingenieur
genehmigte Dissertation
von

Dipl.-Ing. Holger Flatt

geboren am 23. März 1979 in Hannover

2011

1. Referent	Prof. Dr.-Ing. Peter Pirsch
2. Referent	Prof. Dr.-Ing. Hartmut Schröder
Tag der Promotion	04.03.2011

Berichte aus der Informationstechnik

Holger Flatt

Eine konfigurierbare RISC/Coprozessor-Architektur zur Echtzeitverarbeitung von Objekterkennungsverfahren

Shaker Verlag
Aachen 2011

Bibliografische Information der Deutschen Nationalbibliothek
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über http://dnb.d-nb.de abrufbar.

Zugl.: Hannover, Leibniz Univ., Diss., 2011

Printed in Germany.

ISBN 978-3-8322-9977-4
ISSN 1610-9406

Shaker Verlag GmbH • Postfach 101818 • 52018 Aachen
Telefon: 02407 / 95 96 - 0 • Telefax: 02407 / 95 96 - 9
Internet: www.shaker.de • E-Mail: info@shaker.de

Vorwort

Diese Arbeit ist während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Mikroelektronische Systeme der Gottfried Wilhelm Leibniz Universität Hannover entstanden.

Herrn Prof. Dr.-Ing. P. Pirsch danke ich für die wissenschaftliche Betreuung und die Übernahme des 1. Referates dieser Arbeit sowie für die hervorragenden Arbeitsbedingungen und Entwicklungsmöglichkeiten am Institut. Herrn Prof. Dr.-Ing. H. Schröder danke ich für sein Interesse an dieser Arbeit sowie die Übernahme des 2. Referates. Herrn Prof. Dr.-Ing. habil H. Blume danke ich ebenfalls für die wissenschaftliche Betreuung sowie die Übernahme des Vorsitzes bei der Promotionsprüfung.

Allen Mitarbeitern des Fachgebietes Architekturen und Systeme des Instituts für Mikroelektronische Systeme danke ich für die langjährige sehr gute Zusammenarbeit. Besonderer Dank gilt Herrn Dr.-Ing. S. Flügel für die Bereitstellung des Module Interconnect Busses. Herrn Dipl.-Ing. S. Blume danke ich für die gemeinsam und erfolgreich bearbeiteten Projekte. Herrn Dr.-Ing. G. Payá Vayá danke ich für die freundschaftliche Zusammenarbeit während der Vorlesungsbetreuung im Fach Grundlagen digitaler Systeme und der Betreuung des Labors FPGA-Prototyping.

Ich möchte mich bei allen ehemaligen Studierenden bedanken, die zu dieser Arbeit beigetragen haben. Besonderer Dank gilt dabei Herrn Dipl.-Ing. T. Schünemann und Herrn A. Tarnowsky für ihre ausgezeichneten Arbeiten.

Frau Dr.-Ing. A. Weitkamp, Frau Dipl.-Ök. M. Reuter, Herrn Dipl.-Ing. H. Klußmann und Herrn Dipl.-Ing. R. Nowosielski danke ich für die Durchsicht des Manuskripts und die wertvollen Anregungen zu dieser Arbeit.

Mein besonderer Dank gilt meiner Freundin und meiner Familie für ihre Geduld und ihre Unterstützung während dieser Arbeit.

Barsinghausen, im März 2011

Holger Flatt

Kurzfassung

Bisherige Prozessor-Ansätze zur echtzeitfähigen Verarbeitung komplexer Objekterkennungsanwendungen in eingebetteten Systemen bieten häufig nicht ausreichend Rechenleistung. Bei moderatem Ressourcen- und Energieaufwand ist es nicht möglich, Bildmaterial in Full-HD-Auflösung in Echtzeit mit 25 Bildern pro Sekunde zu verarbeiten.

Diese Arbeit zeigt die Konzeption einer konfigurierbaren RISC/Coprozessor-Architektur. Diese ist aus einem Standard-RISC-Prozessor zur Applikationsausführung und Steuerung sowie einem für Objekterkennungsanwendungen optimierten Coprozessor zusammengesetzt. Der Coprozessor ist modular aufgebaut und besteht aus konfigurierbaren dedizierten Recheneinheiten. Rechenintensive Teilverfahren der Objekterkennung können dadurch beschleunigt prozessiert werden. Die Recheneinheiten sind mit internen und externen Speichern an einem gemeinsamen Multi-Layer-Systembus angeschlossen. Die Architektur erhält ihre Flexibilität durch die Programmierbarkeit des RISC-Prozessors und das Baukastenprinzip des Coprozessors, welches während des Entwurfs ein einfaches Hinzufügen und Austauschen von Recheneinheiten und Speicherschnittstellen zulässt.

Ein spezieller RISC/Coprozessor-Synchronisationsansatz ist für einen nebenläufigen Betrieb mehrerer Recheneinheiten optimiert und führt insbesondere zu einem weitgehend unabhängigen Betrieb von RISC und Coprozessor. Er ermöglicht auch dann eine hohe Rechenleistung, wenn RISC und Coprozessor nicht in einem System-on-Chip integriert sind, da die Synchronisationszeiten zwischen RISC und Coprozessor durch das Verlagern von Synchronisationsaufgaben in die Coprozessor-Hardware reduziert werden.

Die konfigurierbare RISC/Coprozessor-Architektur wird anhand der Abbildung einer komplexen Objekterkennungsapplikation zur Erkennung von Fahrzeugen auf Fahrbahnen evaluiert. Die Implementierung erfolgt auf einer Demonstrationsplattform, welche aus einem 533 MHz Intel IXP460 Prozessor und einem Xilinx Virtex-5 FPGA besteht. Als Ergebnis wird gezeigt, dass die Architektur sowohl für die Verarbeitung rechenintensiver Teilverfahren, die auf ganzen Bildern operieren, als auch für die Verarbeitung vieler kleiner Bildausschnitte (Regions-of-Interest) geeignet ist. Das exemplarische Objekterkennungsverfahren ermöglicht für eine Coprozessorkonfiguration, welche mit 100 MHz betrieben wird, bei VGA-Auflösung Bildwiederholfrequenzen von bis zu 185 Bildern pro Sekunde und bei Full-HD-Auflösung bis zu 28,7 Bildern pro Sekunde. Eine latenzoptimierte Umsetzung der exemplarischen Applikation reduziert die Verarbeitungslatenzen, so dass diese bei allen Bildauflösungen bis hin zur Full-HD-Auflösung kleiner als 55 ms sind.

Ein Durchsatzvergleich zeigt, dass eine optimierte Implementierung der Objekterkennungsapplikation von einem Texas Instruments OMAP3530 bei VGA-Bildauflösung nur mit maximal 15 Bildern pro Sekunde verarbeitet wird und daher jenes Prozessorsystem für die echtzeitfähige Objekterkennung bei höheren Auflösungen nicht einsetzbar ist.

Zusammengefasst zeigt diese Arbeit, dass die konfigurierbare RISC/Coprozessor-Architektur besonders geeignet ist, um komplexe Objekterkennungsapplikationen mit hohen Anforderungen an den Durchsatz und die Latenz zu verarbeiten.

Schlagworte: RISC/Coprozessor-Architektur, Objekterkennung, Echtzeit

Abstract

Previous processor approaches for real-time processing of object detection applications in embedded systems often provide insufficient computing performance. With moderate resources and energy, it is not possible to process Full HD images in real time at 25 frames per second.

This work shows the design of a configurable RISC/coprocessor architecture. This architecture is composed of a standard RISC processor for application execution and control tasks, and a coprocessor that is optimized for the execution of object detection applications. The coprocessor is based on a modular structure and consists of dedicated processing elements. Thus, computation intensive parts of object detection applications can be accelerated. The processing elements are connected with internal and external memories via a common multi-layer system bus. The architecture derives its flexibility from the programmability of the RISC processor and a building block principle of the coprocessor, which allows simple adding and replacing of processing elements and memory interfaces at design time.

A special RISC/coprocessor synchronization approach is optimized for concurrent operation of multiple processing elements and causes a widely autonomous operation of RISC and coprocessor. It also enables high performance if RISC and coprocessor are not integrated into a system on chip, since the synchronization times between RISC and coprocessor are reduced by relocating synchronization tasks into the coprocessor hardware.

The configurable RISC/coprocessor architecture is evaluated by mapping of a complex object detection application for detecting vehicles on roads. The architecture approach is implemented on a demonstration platform, which consists of a 533 MHz Intel IXP460 processor and a Xilinx Virtex-5 FPGA. The result shows that the architecture is suitable for both, the processing of computation intensive application parts, which operate on whole images, as well as for processing of many small regions of interest. The exemplary object detection application allows for a coprocessor configuration, which operates at 100 MHz, to process up to 185 fps at VGA resolution, and up to 28.7 fps at Full HD resolution. A latency-optimized implementation of the exemplary application reduces the processing latencies of all resolutions up to full HD to less than 55 ms.

A comparison of throughput shows that an optimized implementation of the object detection application can be processed with a maximum of 15 frames per second at VGA resolution on a Texas Instruments OMAP3530. Therefore, that processor system is not applicable for real-time object detection at higher resolutions.

Finally, the results of this thesis conclude that the configurable RISC/coprocessor architecture is particularly suited for processing of complex object detection applications with high demands on throughput and latency.

Key words: RISC/coprocessor architecture, object detection, real-time

Inhaltsverzeichnis

Abkürzungen

480p	Bildauflösung 640x480 Bildpunkte, VGA (progressiv)
576p	Bildauflösung 768x576 Bildpunkte (progressiv)
720p	Bildauflösung 1280x720 Bildpunkte (progressiv)
1080p	Bildauflösung 1920x1080 Bildpunkte, Full-HD (progressiv)
AMBA	Advanced Microcontroller Bus Architecture
AHB	Advanced High-performance Bus
ASIC	Application Specific Integrated Circuit
ASIP	Application Specific Instruction Set Processor
AXI	Advanced extensible Interface Bus
BRAM	Block-RAM
BSM	Bypass-Streaming-Modul
C64x+	TMS320C64x+
CAM	Content Addressable Memory
CCU	Custom Computing Unit
CORDIC	Coordinate Rotation Digital Computer
CPU	Central Processing Unit
DDR	Double Data Rate
DMA	Direct Memory Access
DSP	Digitaler Signalprozessor
FIFO	First In, First Out
FIR	Finite Impulse Response
FPGA	Field Programmable Gate Array
HD	High Definition
HLA	High-Level-Algorithmus
HOG	Histogram of Orientated Gradients
IF	Interface
I/O	In-/Output
LLA	Low-Level-Algorithmus
LMA	Label-Merging-Algorithmus
LUT	Look-Up Table
LVDS	Low Voltage Differential Signaling
MAC	Multiplikation/Akkumulation
MCPA	Modulare Coprozessorarchitektur
MIB	Module Interconnect Bus
MLA	Medium-Level-Algorithmus
OCP	Open Core Protocol
PLB	Processor Local Bus
PSMU	Parallel Search and Multiple Update
RAM	Random Access Memory
RAW	Read After Write

RE	Recheneinheit
RISC	Reduced Instruction Set Computer
ROI	Region-of-Interest
RTL	Register Transfer Level
SAD	Sum of Absolute Differences
SDRAM	Synchronous Dynamic Random Access Memory
SE	Synchronisationseinheit
SIFT	Scale-Invariant Feature Transform
SIMD	Single Instruction, Multiple Data
SoC	System on Chip
SRAM	Static Random Access Memory
SSE	Streaming SIMD Extensions
TL	Task-Liste
VGA	Video Graphics Array
VLIW	Very Long Instruction Word
VLSI	Very Large Scale Integration
WAR	Write After Read
WAW	Write After Write